

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Attorney Docket No.: 40296-0053

Applicant: Sang Don LEE

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: SEMICONDUCTOR DEVICE AND METHOD FOR  
MANUFACTURING THE SAME

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0020765 filed April 2, 2003**

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar  
Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0020765  
Application Number

출원년월일 : 2003년 04월 02일  
Date of Application APR 02, 2003

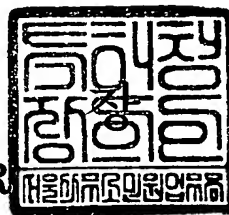
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.02
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Manufacturing method for semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	이상돈
【성명의 영문표기】	LEE, Sang Don
【주민등록번호】	590923-1056030
【우편번호】	471-030
【주소】	경기도 구리시 수택동 금호베스트빌 2차아파트 505동 102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

**【수수료】**

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 330,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 EXTIGATE을 이용한 MOSFET를 구비하는 반도체소자에서 다결정실리콘층과 W의 적층 게이트전극에서 다결정실리콘층상에 형성되는 제1질화막의 두께를 감소시켜 트렌치와 제1질화막까지의 단차를 작게하여 소자분리 산화막의 보이드 발생을 억제하고, W층이 질화막으로 보호되는 상태에서 다결정실리콘층 측벽의 산화막을 성장하기 때문에 산화막을 충분한 두께로 형성할 수 있어 후속 공정에서의 단락 발생을 방지하여 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있다.

**【대표도】**

도 2f

## 【명세서】

## 【발명의 명칭】

반도체소자의 제조방법{Manufacturing method for semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 기술에 따른 반도체소자의 제조공정도.

도 1a 내지 도 1g는 본 발명에 따른 반도체소자의 제조공정도.

## &lt; 도면의 주요 부분에 대한 부호의 설명 &gt;

10, 30 : 반도체 기판	11, 31 : 게이트산화막
12, 32 : 다결정실리콘층	13 : 중간산화막
14, 33 : 제1질화막	15, 34 : 트렌치
16, 35 : 소자분리 산화막	17, 36 : p웰
18, 37 : n웰	19, 40 : WN층
20, 41 : W층	21, 38 : 제2질화막
22, 44 : 산화막	23, 43 : 질화막 절연 스페이서
39 : 희생산화막	42 : 제3질화막

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 W 게이트를 사용하는 모스 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor; 이하 MOS FET라 칭함)를 형성하는 공정시 확장 트랜치 소자분리 게이트 기술(extented trench isolation Gate technology; 이하 EXTIGATE라 칭함)을 사용하고, W의 산화를 방지하여 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법에 관한 것이다.
- <13> 반도체소자가 고집적화되어 감에 따라 소자의 크기를 감소시키기 위하여 MOSFET의 게이트전극이나 소오스/드레인영역 및 이들과의 콘택등 공정 전반의 디자인 룰이 감소되고 있으나, 게이트전극의 폭과 전기저항은 비례 관계에 있어 폭이 N배 줄어들면 전기 저항이 N배 증가되어 반도체소자의 동작 속도를 떨어뜨리는 문제점이 있다. 따라서 게이트전극의 저항을 감소시키기 위하여 가장 안정적인 MOSFET 특성을 나타내는 폴리실리콘층/산화막 계면의 특성을 이용하여 폴리실리콘층과 실리콘사이드의 적층 구조인 폴리사이드가 저 저항 게이트로서 사용하기도 한다.
- <14> 도 1a 내지 도 1e는 종래 기술에 따른 반도체소자의 제조 공정도로서, EXTIGATE 기술을 이용한 MOSFET의 예이다.
- <15> 먼저, 실리콘 웨이퍼 등의 반도체기판(10)상에 게이트산화막(11)과 게이트전극용 다결정 실리콘층(12)과 중간산화막(13) 및 제1절화막(14)을 순차적으로 형성한 후, 소자분리 마스크를 이용한 식각 공정으로 소자분리영역으로 예정되어있는 부분상의 제1절화막(14)에서 게이트산

화막(11)까지 순차적으로 식각하여 반도체기판(10)을 노출시킨 후, 상기 노출된 반도체기판(10)을 소정 깊이 식각하여 실리콘 트렌치(15)를 형성한다. (도 1a 참조).

<16> 그다음 상기 구조의 전표면에 소자분리 산화막(16)을 증착하여 상기 트렌치(15)를 메운 후, 상기 소자분리 산화막(16)의 상부를 화학기계적 연마(이하 CMP라 칭함) 방법으로 식각하여 상기 제1질화막(14) 패턴을 노출시켜 소자분리 영역을 정의한다. (도 1b 참조).

<17> 그후, 상기 노출되어있는 제1질화막(14) 패턴을 제거하고, 웰 마스크를 이용한 이온주입 및 활성 방법으로 반도체기판(10)의 예정되어있는 부분에 각각 p웰(17) 및 n웰(18)을 형성한다. (도 1c 참조).

<18> 그다음 상기 다결정실리콘층(12) 위의 중간산화막(13)과 소자분리 산화막(16)을 함께 습식식각하여 소자분리 산화막(16)이 다결정실리콘층(12)와 평탄하도록 한 후, 상기 구조의 전표면에 베리어 메탈인 WN층(19)과 W층(20) 및 제2질화막(21)을 순차적으로 형성한다. (도 1d 참조).

<19> 그후 워드라인 마스크를 이용한 사진식각공정으로 상기 제2질화막(21)에서 다결정실리콘층(12)까지 순차적으로 식각하여 게이트전극을 형성한 후, 선택산화 공정을 실시하여 노출되어있는 다결정실리콘층(12) 패턴의 측벽에 산화막(22)을 형성하고, 전면에 질화막을 증착한 후 전면 식각 방법으로 식각하여 상기 게이트전극의 측벽에 질화막 절연 스페이서(23)를 형성한다. (도 1e 참조).

<20> 그다음 도시되어있지는 않으나, 통상의 MOSFET 공정을 진행하게 된다.

<21> 상기와 같은 종래 기술에 따른 EXTIGATE를 이용한 MOSFET의 제조방법은 종래 STI 소자분리 기술의 문제점을 해결하고 이중 일함수 게이트 기술로서 개발되고 있으나 소자분리 산화막



의 증착 공정시 트렌치와 제1질화막까지의 단차가 커서 보이드의 발생이 빈발하고, WN층과 W층이 소자분리 산화막상에 직접 증착되는 경우 이상 산화가 발생하여 게이트전극의 저항이 증가하고 다결정실리콘층 측벽의 선택 산화 공정시 WN층과 W층이 노출되어 있어 WN층과 W층의 산화가 우려되어 다결정실리콘층(12) 패턴의 측벽에 산화막(22)을 충분하게 진행할 수 없어 후속 공정에서 단락의 원인이 될 수도 있어 공정수율 및 소자의 신뢰성이 떨어지는 등의 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기와 같은 문제점들을 해결하기 위한 것으로서, 본 발명의 목적은 EXTIGATE 형 MOSFET를 구비하는 반도체소자에서 다결정실리콘층 상의 제1질화막 두께를 감소시켜 단차를 줄여 소자분리 산화막의 보이드 발생을 방지하고, WN층이나 W층이 노출되는 것을 방지하여 이상 산화에 의한 게이트전극 저항증가를 방지하여 공정수율 및 소자의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법의 특징은,

<24> 반도체기판상에 게이트산화막과 다결정실리콘층 및 제1질화막을 순차적으로 형성하는 공정과,

<25> 상기 제1질화막과 다결정실리콘층, 게이트산화막 및 소정두께의 반도체기판을 소자분리 마스크를 이용하여 순차적으로 식각하여 게이트산화막 패턴과, 다결정실리콘층 패턴과 제1질화막 패턴 및 트렌치를 형성하는 공정과,

- <26>      상기 구조의 전표면에 소자분리용 산화막을 증착한 후, 상기 제1질화막 패턴이 노출되도록 평탄화 식각하여 소자분리 산화막으로 분리시키는 공정과,
- <27>      상기 반도체기판의 예정되어있는 부분에 p웰과 n웰을 형성하는 공정과,
- <28>      상기 제1질화막 패턴을 제거하는 공정과,
- <29>      상기 소자분리 산화막을 소정두께 습식식각하여 리세스를 형성하는 공정과,
- <30>      상기 구조의 전표면에 상기 리세스 보다 얇은 두께의 제2질화막과 희생산화막을 순차적으로 형성하는 공정과,
- <31>      상기 희생산화막의 상부를 식각하여 상기 제2질화막을 노출시키는 희생산화막 패턴을 형성하는 공정과,
- <32>      상기 다결정실리콘층 패턴 상부의 제2질화막을 제거하는 공정과,
- <33>      상기 소자분리 산화막 상부의 희생산화막을 제거하여 소자분리 산화막의 상부에 제2질화막 패턴이 남도록하는 공정과,
- <34>      상기 구조의 전표면에 장벽금속층과 금속층 및 제3질화막을 순차적으로 형성하는 공정과,
- <35>      상기 제3질화막에서 제2질화막 패턴까지를 워드라인 마스크를 이용하여 순차적으로 식각하여 제3질화막 패턴, 장벽금속층 패턴, 금속층 패턴 및 제2질화막 패턴을 형성하고 패턴들의 측벽에 질화막 절연 스페이서를 형성하는 공정과,
- <36>      상기 제2질화막 패턴을 마스크로 노출되어있는 다결정실리콘층을 식각하여 제3질화막 패턴과 중첩되어있는 다결정실리콘층 패턴과 장벽금속층 패턴 및 금속층 패턴으로된 게이트전극을 형성하는 공정과,

- <37>       상기 다결정실리콘층 패턴의 측벽에 선택 산화막을 형성하는 공정을 구비함에 있다.
- <38>       또한 본 발명의 다른 특징은, 상기 제1 질화막의 두께가 10~70nm 이고, 상기 리세스는 다결정실리콘층 표면으로부터 20~100nm 의 깊이로 형성되며, 상기 제2 질화막의 두께는 10~90nm 이며, 상기 장벽금속층은 WN, TiN 또는 TiSiN이며, 상기 금속층은 W, Ti 실리사이드, W 실리사이드 또는 Co 실리사이드인 것을 특징으로 한다.
- <39>       또한 본 발명에 반도체소자의 특징은,
- <40>       MOS FET을 구비하는 반도체소자에 있어서,
- <41>       상기 MOS FET의 게이트 전극이 소자분리 산화막 위에서의 게이트 전극은 질화막 위에 장벽금속층, 그 위에 금속층, 그위에 절연막으로 구성되어 있고, 활성 영역상의 게이트 산화막 위에서의 게이트 전극은 폴리실리콘과 장벽금속층, 금속층 및 절연막으로 구성됨에 있다.
- <42>       이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체소자의 제조방법에 대하여 상세히 설명을 하기로 한다.
- <43>       도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체소자의 제조 공정도로서, EXTIGATE MOSFET의 예이다.
- <44>       먼저, 실리콘 웨이퍼로된 반도체기판(30)상에 게이트산화막(31)과 다결정실리콘층(32) 및 제1질화막(33)을 순차적으로 형성하고, 소자분리 마스크를 이용한 사진식각공정으로 상기 제1질화막(33)에서 게이트산화막(31)까지 순차적으로 식각하여 반도체기판(30)을 노출시키며 활성영역상에 적층되어있는 게이트산화막(31) 패턴과, 다결정실리콘층(32) 패턴 및 제1질화막(33) 패턴을 형성한 후, 상기 노출되어있는 반도체기판(30)을 일정 깊이 식각하여 실리콘 트

랜치(34)를 형성한다. 여기서 상기 제1절화막(33)은 10~70nm 정도 두께를 가진다. (도 2a 참조).

<45> 그다음 상기 구조의 전표면에 소자분리 산화막(35)을 증착하여 상기 트렌치(34)를 메운 후, 상기 소자분리 산화막(35)을 CMP 방법으로 식각하여 상기 제1절화막(33) 패턴이 노출될 때까지 진행하여 평탄화된 상부면을 얻어 소자분리 산화막(35)을 분리시킨다. (도 2b 참조).

<46> 그후, 상기 반도체기판(31)의 예정되어있는 부분에 p웰(36)과 n웰(37)을 웰마스크를 이용한 이온주입 및 활성화 공정으로 형성한 후, 상기 노출되어있는 제1절화막(33) 패턴을 제거하고, 상기 다결정실리콘층(32) 상부로 돌출된 소자분리 산화막(35)을 습식식각하여 다결정실리콘층(32) 보다 20~100nm 정도 낮게 하고, 상기 구조의 전표면에 10~90nm 정도 두께의 제2절화막(38)과 희생산화막(39)을 순차적으로 형성한후, 상기 희생산화막(39)의 상부를 CMP 방법으로 식각하여 상기 제2절화막(38)을 노출시키는 희생산화막(39) 패턴을 형성한다. (도 2c 참조).

<47> 그다음 상기 다결정실리콘층(32) 패턴상부의 제2절화막(38)을 제거하고, 상기 소자분리 산화막(35) 상부의 희생산화막(39)을 제거하면, 소자분리 산화막(35)의 상부에만 제2절화막(38) 패턴이 남게된다. (도 2d 참조).

<48> 그후 상기 구조의 전표면에 장벽금속인 WN층(40)과 금속층인 W층(41) 및 제3절화막(42)을 순차적으로 형성한 후, (도 2e 참조), 워드라인 마스크를 이용한 사

진식각 공정으로 상기 제3질화막(42)에서 제2질화막(38) 까지를 순차적으로 식각하여 제3질화막(42) 패턴과, WN층(40) 패턴, W층(41) 패턴 및 제2질화막(38) 패턴을 형성하고, 상기 패턴들의 측벽에 질화막의 전면 도포 및 에치백 방법으로 질화막 절연 스페이서(43)를 형성한 후, 노출되어있는 다결정실리콘층(32)을 식각하여 다결정실리콘층(32) 패턴과 WN층(40) 패턴 및 W층(41) 패턴으로된 게이트전극을 형성하며, 그 상부에는 마스크절연막인 제3질화막(42) 패턴이 중첩되어있다. 여기서 상기 WN 대신에 TiN 또는 TiSiN을 사용하고, W 대신 Ti 실리사이드, W 실리사이드 또는 Co 실리사이드를 사용할 수도 있다.

<49> 그다음 상기 노출되어있는 다결정실리콘층(32) 패턴의 측벽에 산화막(44)을 선택 성장시킨다. 이때 상기 WN층(40)과 W층(41)이 질화막들에 보호되어있어 충분한 두께로 산화막(44)을 형성할 수 있다. (도 2f 참조).

<50> 그후 후속 공정에서 상기 산화막(44)을 보호하기 위하여 상기 구조의 전표면에 제4질화막(45)을 도포한 후, 후속 공정을 진행하여 MOSFET를 완성한다. 여기서 상기 제4질화막(45)은 SAC 공정의 식각장벽일 수도 있고, 바로 에치백하여 스페이서로 사용할 수도 있다. (도 2g 참조).

<51> 상기에서 MOS FET의 게이트 전극이 소자분리 산화막 위에서는 질화막-WN-W-절연막의 패턴으로 구성되어 있고, 활성 영역상은 게이트 산화막 위에서의 게이트 전극은 폴리실리콘-WN-W-절연막 패턴으로 구성되어 진다.

#### 【발명의 효과】

<52> 상기한 바와같이 본 발명에 따른 EXTIGATE을 이용한 MOSFET를 구비하는 반도체소자의 제조방법은 다결정실리콘층과 W의 적층 게이트전극에서 다결정실리콘층상에 형성되는 제1질화막

의 두께를 감소시켜 트랜치와 제1절화막까지의 단차를 작게하여 소자분리 산화막의 보이드 발생을 억제하고, W층이 절화막으로 보호되는 상태에서 다결정실리콘층 측벽의 산화막을 성장시켜 충분한 두께로 형성할 수 있어 후속 공정에서의 단락 발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 게이트산화막과 다결정실리콘층 및 제1절화막을 순차적으로 형성하는 공정과,

상기 제1절화막과 다결정실리콘층, 게이트산화막 및 소정두께의 반도체기판을 소자분리 마스크를 이용하여 순차적으로 식각하여 게이트산화막 패턴과, 다결정실리콘층 패턴과 제1절화막 패턴 및 트렌치를 형성하는 공정과,

상기 구조의 전표면에 소자분리용 산화막을 증착한 후, 상기 제1절화막 패턴이 노출되도록 평탄화 식각하여 소자분리 산화막으로 분리시키는 공정과,

상기 반도체기판의 예정되어있는 부분에 p웰과 n웰을 형성하는 공정과,

상기 제1절화막 패턴을 제거하는 공정과,

상기 소자분리 산화막을 소정두께 습식식각하여 리세스를 형성하는 공정과,

상기 구조의 전표면에 상기 리세스 보다 얇은 두께의 제2절화막과 희생산화막을 순차적으로 형성하는 공정과,

상기 희생산화막의 상부를 식각하여 상기 제2절화막을 노출시키는 희생산화막 패턴을 형성하는 공정과,

상기 다결정실리콘층 패턴 상부의 제2절화막을 제거하는 공정과,

상기 소자분리 산화막 상부의 희생산화막을 제거하여 소자분리 산화막의 상부에 제2절화막 패턴이 남도록하는 공정과,

상기 구조의 전표면에 장벽금속층과 금속층 및 제3질화막을 순차적으로 형성하는 공정과,

상기 제3질화막에서 제2질화막 패턴까지를 워드라인 마스크를 이용하여 순차적으로 식각하여 제3질화막 패턴, 장벽금속층 패턴, 금속층 패턴 및 제2질화막 패턴을 형성하고 패턴들의 측벽에 질화막 절연 스페이서를 형성하는 공정과,

상기 제2질화막 패턴을 마스크로 노출되어있는 다결정실리콘층을 식각하여 제3질화막 패턴과 중첩되어있는 다결정실리콘층 패턴과 장벽금속층 패턴 및 금속층 패턴으로된 게이트전극을 형성하는 공정과,

상기 다결정실리콘층 패턴의 측벽에 선택 산화막을 형성하는 공정을 구비하는 반도체소자의 제조방법.

#### 【청구항 2】

제 1 항에 있어서,

상기 제1 질화막의 두께가 10~70nm 인 것을 특징으로하는 반도체소자의 제조방법.

#### 【청구항 3】

제 1 항에 있어서,

상기 리세스는 다결정실리콘층 표면으로부터 20~100nm 의 깊이로 형성되며, 상기 제2 질화막의 두께는 10~90nm 인 것을 특징으로하는 반도체소자의 제조방법.

#### 【청구항 4】

제 1 항에 있어서,



상기 장벽금속층은 WN, TiN 및 TiSiN을 이루어지는 군에서 선택되는 하나의 물질로 형성하고, 상기 금속층은 W, Ti 실리사이드, W 실리사이드 및 Co 실리사이드로 이루어지는 군에서 선택되는 하나의 물질로 형성하는 것을 특징으로하는 반도체소자.

**【청구항 5】**

MOS FET을 구비하는 반도체소자에 있어서,

상기 MOS FET의 게이트 전극이 소자분리 산화막 위에서의 게이트 전극은 질화막 위에 장벽금속층, 그 위에 금속층, 그위에 절연막으로 구성되어 있고, 활성 영역상의 게이트 산화막 위에서의 게이트 전극은 폴리실리콘과 장벽금속층, 금속층 및 절연막으로 구성되어 있는 반도체소자.

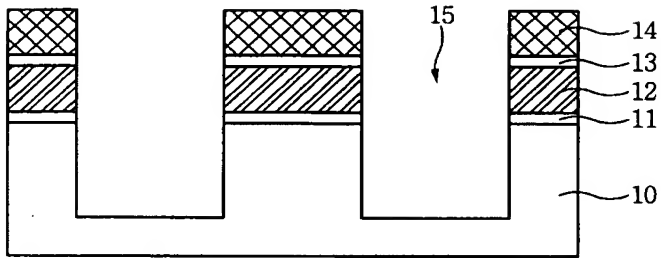
**【청구항 6】**

제 5 항에 있어서,

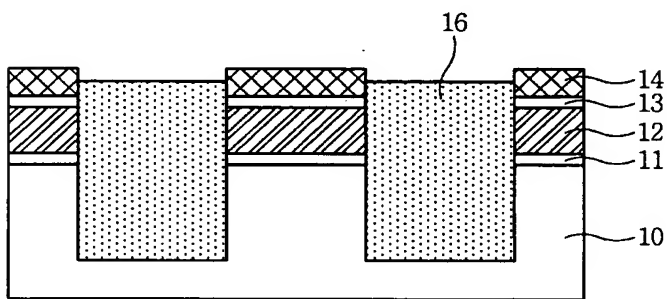
상기 장벽금속층은 WN, TiN 및 TiSiN을 이루어지는 군에서 선택되는 하나의 물질로 형성하고, 상기 금속층은 W, Ti 실리사이드, W 실리사이드 및 Co 실리사이드로 이루어지는 군에서 선택되는 하나의 물질로 형성하는 것을 특징으로하는 반도체소자.

【도면】

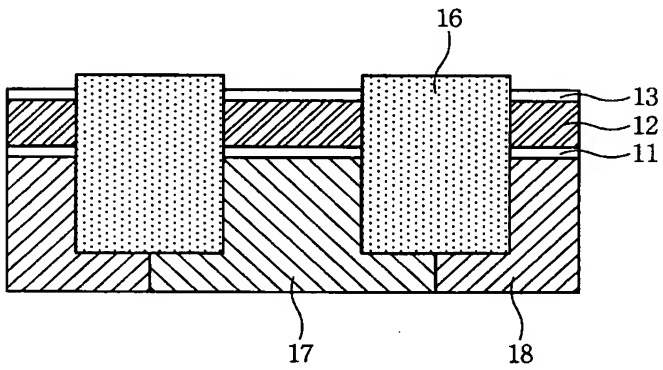
【도 1a】



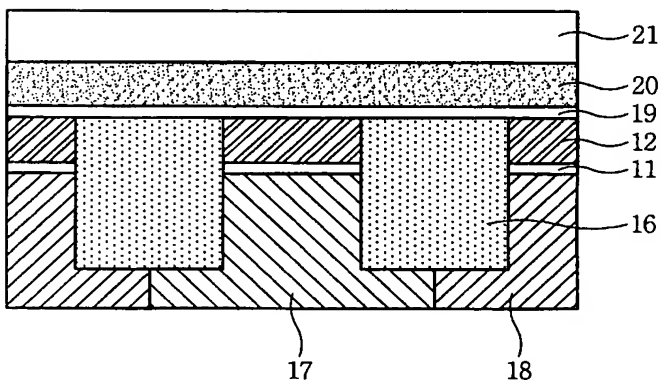
【도 1b】



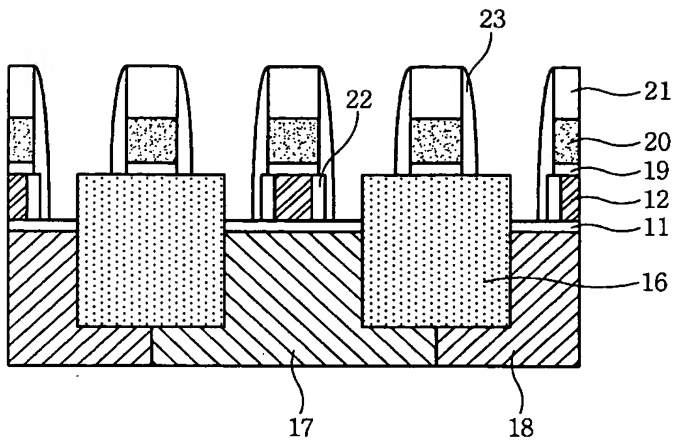
【도 1c】



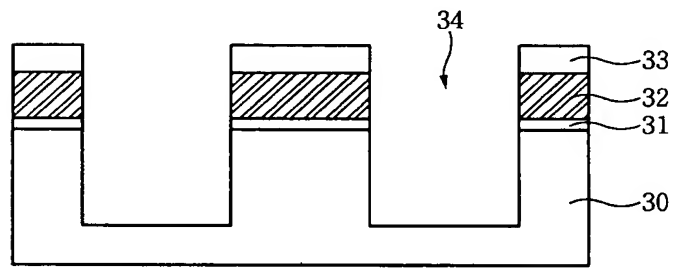
【도 1d】



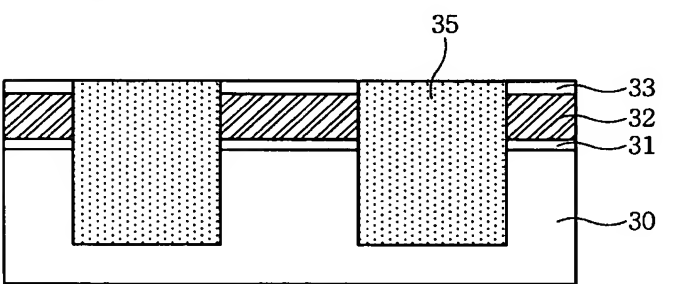
【도 1e】



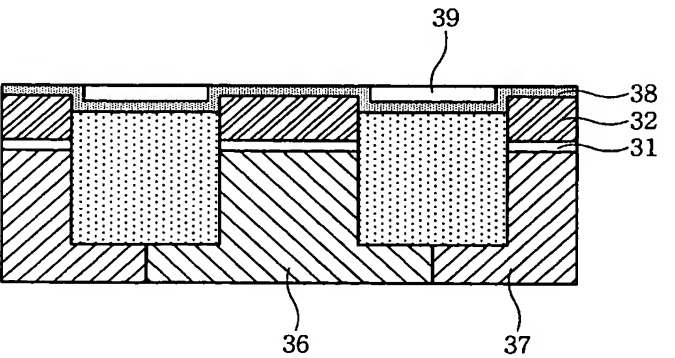
【도 2a】



【도 2b】

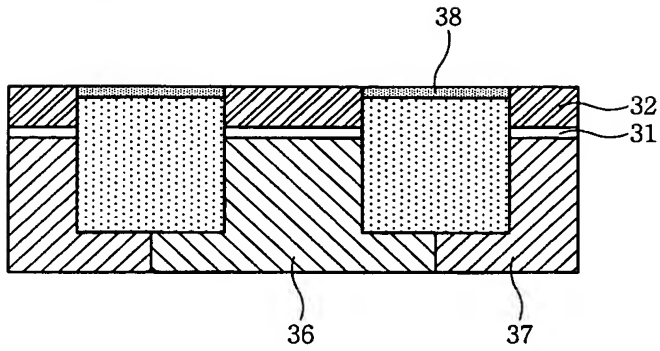


【도 2c】

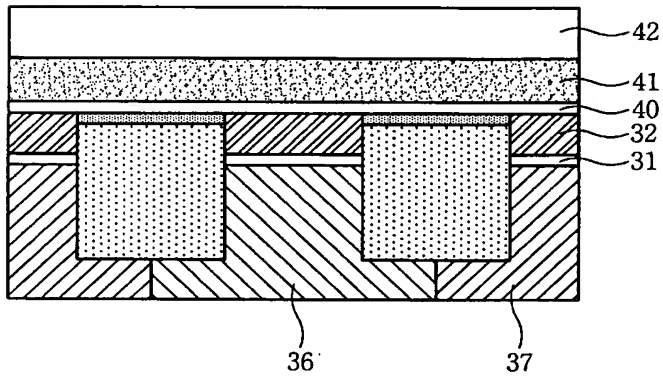




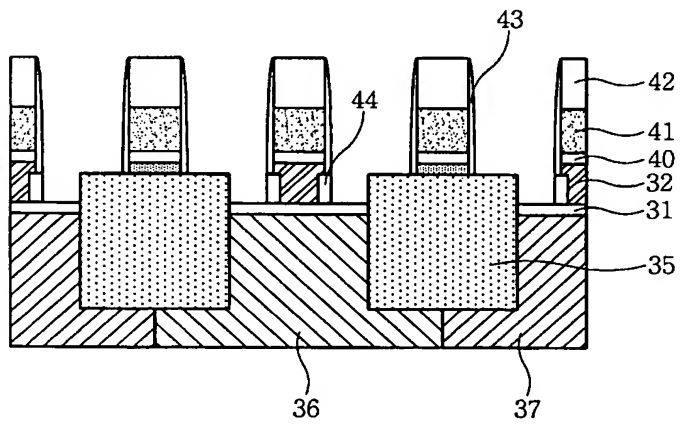
【도 2d】



【도 2e】



【도 2f】



【도 2g】

